

대한민국특허청(KR)

공개특허공보(A)

Int. Cl.⁶
H 01 L 27/08

제 1808 호

공개일자 1996. 4. 20

공개번호 96-12470

출원일자 1994. 9. 7

출원번호 94-22458

심사청구: 있음

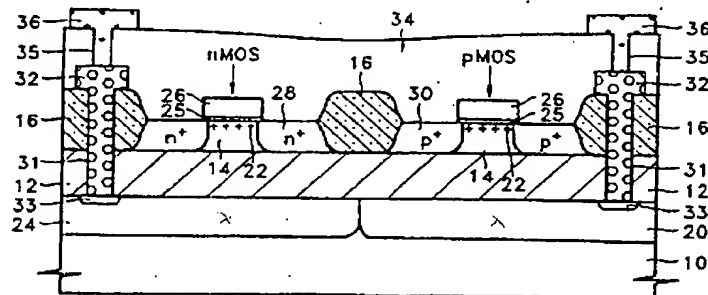
발명자 김형섭 경기도 수원시 매탄동 삼성1차아파트 2동 708호
김기남 경기도 안양시 평촌동 18-1 꿈마을아파트 804동 502호
출원인 삼성전자 주식회사 대표이사 김광호
경기도 수원시 팔달구 매탄동 416번지 (우: 441-742)
대리인 변리사 이영필·노민식·윤창일 (전 3면)

실리콘 온 인슐레이터(SOI) 기판을 이용한 반도체장치 및 백-게이트 바이어스 인가방법

요약

실리콘 온 인슐레이터 기판을 이용하는 반도체장치에 있어서 백-게이트 바이어스 인가방법 및 그 구조가 개시되어 있다. 제1도전형의 하부 반도체층 상에 매몰 절연층 및 상부 반도체층이 적층되어 이루어진 실리콘 온 인슐레이터 기판 상에 서로 분리되어 형성된 제1도전형의 MOS 트랜지스터와 제2도전형의 MOS 트랜지스터를 포함하는 반도체장치에 있어서, 상기 제1도전형 MOS 트랜지스터에 대응되는 상기 하부 반도체층의 제1영역에 형성된 제2도전형의 웰을 구비한다. 상기 제1도전형의 MOS 트랜지스터와 제2도전형의 MOS 트랜지스터에 각각 다른 백-게이트 바이어스를 인가할 수 있다.

제 4 도 (D)



특허청구의 범위

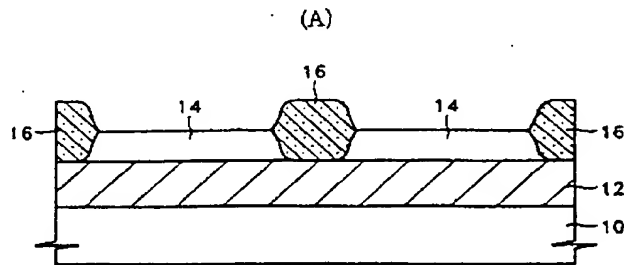
1. 제1도전형의 하부 반도체층 상에 매몰 절연층 및 상부 반도체층이 적층되어 이루어진 실리콘 온 인슐레이터 기판 상에 서로 분리되어 형성된 제1도전형의 모스 트랜지스터와 제2도전형의 모스 트랜지스터를 포함하는 반도체장치에 있어서, 상기 제1도전형 모스 트랜지스터에 대응되는 상기 하부 반도체층의 제1영역에 형성된 제2도전형의 웰을 구비함으로써, 상기 제1도전형의 모스 트랜지스터와 제2도전형의 모스 트랜지스터에 각각 다른 백-게이트 바이어스를 인가하는 것을 특징으로 하는 반도체 장치.
2. 제1항에 있어서, 상기 제2도전형 웰의 소정부위 상에 형성된 콘택을 더 구비하는 것을 특징으로 하는 반도체장치.
3. 제1항에 있어서, 상기 제2도전형 모스 트랜지스터에 대응되는 상기 하부 반도체층의 제2영역에 형성된 제1도전형의 웰을 더 구비하는 것을 특징으로 하는 반도체 장치.
4. 제3항에 있어서, 상기 제1도전형 웰의 소정부위 상에 형성된 콘택을 더 구비하는 것을 특징으로 하는 반도체장치.
5. 제1도전형의 하부반도체층 상에 매몰 절연층 및 상부 반도체층이 적층되어 이루어진 실리콘 온 인슐레이터 기판을 제작하는 단계; 상기 하부 반도체층의 제1영역에 제2도전형의 도펀트를 이온주입하여 제2도전형의 웰을 형성하는 단계; 및 상기 제2도전형의 웰에 대응되는 상기 상부 반도체층의 제1영역상에 제1도전형의 모스 트랜지스터를 형성하고, 상기 제2도전형의 웰을 제외한 영역에 대응되는 상기 상부 반도체층의 제2영역 상에 제2도전형의 모스 트랜지스터를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.
6. 제5항에 있어서, 상기 제1도전형 및 제2도전형의 모스 트랜지스터들을 형성하는 단계 전에, 상기 제2도전형 모스 트랜지스터에 대응되는 상기 하부 반도체층의 제2영역에 제1도전형의 도펀트를 이온주입하여 제1도전형의 웰을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체장치의 제조방법.
7. 제5항에 있어서, 상기 제1도전형 및 제2도전형의 모스 트랜지스터들을 형성하는 단계 후, 상기 제2도전형 웰의 소정부위 상에 콘택을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

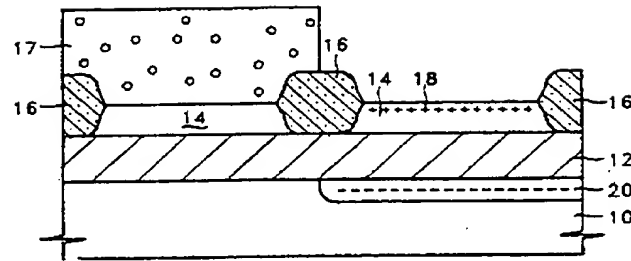
제4A도 내지 제4D도는 본 발명의 제1실시예에 의한, SOI 기판을 이용한 반도체장치의 제조방법을 설명하기 위한 단면도들.

제 4 도

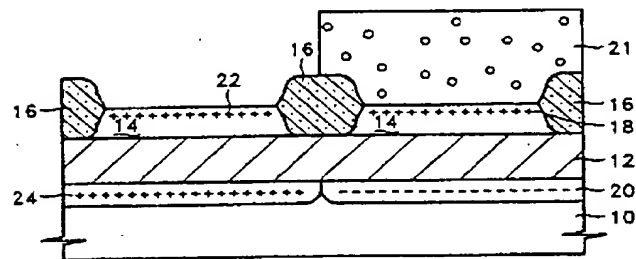


제 4 도

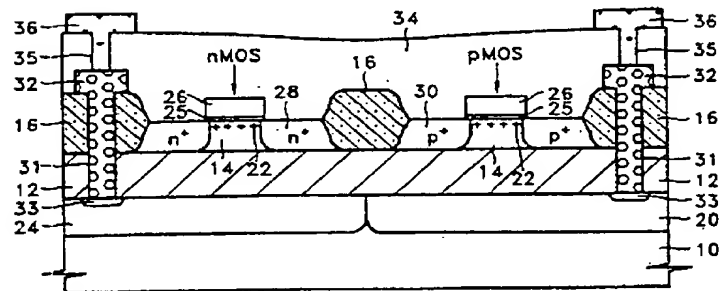
(B)



(C)



(D)



**Title of Invention : SEMICONDUCTOR DEVICE USING SOI
SUBSTRATE AND BACK-GATE BIAS APPLICATION METHOD**

Abstract

Disclosed is a back-gate bias application method in a semiconductor device using a silicon-on-insulator substrate and a structure of the semiconductor device. In a semiconductor device comprising a MOS transistor of a first conductivity type and a MOS transistor of a second conductivity type, which are formed separately from each other on a silicon-on-insulator substrate composed of a buried insulating layer and a top semiconductor layer laminated on an underlying semiconductor layer of the first conductivity type, there is provided a well of the second conductivity type formed in a first region of the underlying semiconductor layer corresponding to the MOS transistor of the first conductivity type. Different back-gate biases can be applied to the MOS transistor of the first conductivity type and the MOS transistor of the second conductivity type, respectively.

Claims

[Claim 1]

A semiconductor device comprising:

a MOS transistor of a first conductivity type and a MOS transistor of a second conductivity type, which are formed separately from each other on a silicon-on-insulator substrate composed of a buried insulating layer and a top semiconductor layer laminated on an underlying semiconductor layer of the first conductivity type,

the semiconductor device being characterized in that a well of the second conductivity type is formed in a first region of the underlying semiconductor layer corresponding to the MOS transistor of the first conductivity type, and thereby different back-gate biases are applied to the MOS transistor of the first conductivity type and the MOS transistor of the second conductivity type, respectively.

[Claim 2]

A semiconductor device as set forth in claim 1, characterized by further comprising a contact formed on a specific site of the well of the

second conductivity type.

[Claim 3]

A semiconductor device as set forth in claim 1, characterized by further comprising a well of the first conductivity type formed in a second region of the underlying semiconductor layer corresponding to the MOS transistor of the second conductivity type.

[Claim 4]

A semiconductor device as set forth in claim 3, characterized by further comprising a contact formed on a specific site of the well of the first conductivity type.

[Claim 5]

A process for manufacturing a semiconductor device characterized by comprising the steps of:

- forming a silicon-on-insulator substrate composed of a buried insulating layer and a top semiconductor layer laminated on an underlying semiconductor layer of the first conductivity type;

- forming a well of a second conductivity type by ion implantation of a dopant of the second conductivity type in a first region of the underlying semiconductor layer; and

- forming a MOS transistor of the first conductivity type on a first region of the top semiconductor layer corresponding to the well of the second conductivity type and forming a MOS transistor of the second conductivity type on a second region of the top semiconductor layer corresponding to a region other than the well of the second conductivity type.

[Claim 6]

A process for manufacturing a semiconductor device as set forth in claim 5, characterized by further comprising the step of, before the step of forming the MOS transistors of the first conductivity type and of the second conductivity type, forming a well of the first conductivity type by ion implantation of a dopant of the first conductivity type in a second region of the underlying semiconductor layer corresponding to the MOS

transistor of the second conductivity type.

[Claim 7]

A process for manufacturing a semiconductor device as set forth in claim 5, characterized by further comprising the step of, after the step of forming the MOS transistors of the first conductivity type and of the second conductivity type, forming a contact on a specific site of the well of the second conductivity type.